

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-040822
(43)Date of publication of application : 08.02.2000

(51)Int. Cl. H01L 29/78
H01L 21/336

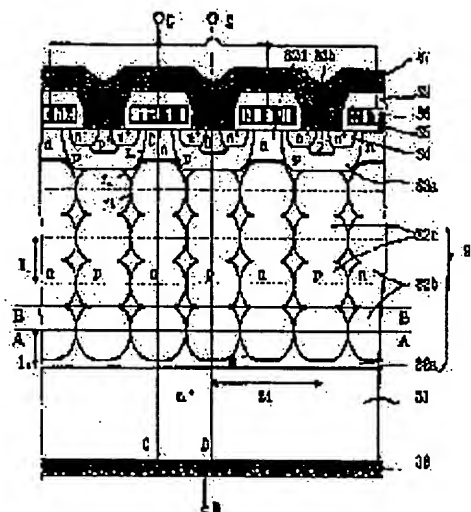
(21)Application number : 10-209267 (71)Applicant : FUJI ELECTRIC CO LTD
(22)Date of filing : 24.07.1998 (72)Inventor : FUJIHIRA TATSUHIKO

(54) SUPERJUNCTION SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a superjunction semiconductor element in which in crease of current capacity generated by reduction of ON resistance is enabled while a high withstand voltage is ensured, by relaxing the trade-off relation of an ON resistance and a withstand voltage, and its manufacturing method which can simply manufacture the element with excellent productivity.

SOLUTION: A semiconductor substrate region 32 which makes a current flow in the state of ON and is turned into depletion in the state of OFF is provided with n-buried regions 32b and p-buried regions 32c which are almost periodically and alternately formed in a plurality of depths. The n-buried regions 32b and the p-buried regions 32c are almost aligned in the depth direction. In the manufacturing method an n- high resistance layer 32a laminated by an epitaxial method and the n-buried regions 32b and the p-buried regions 32c are formed by diffusion of impurities.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision
of rejection]
[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998, 2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-40822
(P2000-40822A)

(43)公開日 平成12年2月8日(2000.2.8)

(51)Int.Cl.⁷

H 0 1 L 29/78
21/336

識別記号

F I

H 0 1 L 29/78

テマコード(参考)

6 5 2 G

6 5 8 A

審査請求 未請求 請求項の数21 O L (全 15 頁)

(21)出願番号 特願平10-209267

(22)出願日 平成10年7月24日(1998.7.24)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 100088339

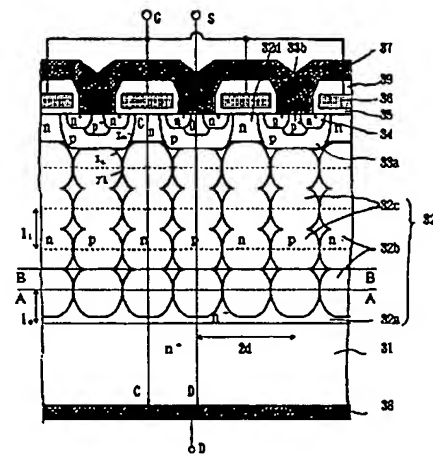
弁理士 篠部 正治

(54)【発明の名称】 超接合半導体素子およびその製造方法

(57)【要約】

【課題】 オン抵抗と耐圧とのトレードオフ関係を改善し、高耐圧でありながらオン抵抗の低減による電流容量の増大が可能な超接合半導体素子、およびその簡易で量産性良く製造し得る製造方法を提供する。

【解決手段】 オン状態では電流を流すとともに、オフ状態では空乏化する半導体基体領域32が、複数の深さにほぼ周期的に交互に形成されたn埋め込み領域32b、p埋め込み領域32cとを有し、n埋め込み領域32b、p埋め込み領域32cがそれぞれ深さ方向にほぼ整列されている。製造方法としては、n⁻高抵抗層32aをエピタキシャル法により積層し、n埋め込み領域32b、p埋め込み領域32cを不純物の拡散により形成する



- | | |
|--------------------------|-------------------------|
| 31 n ⁺ ドレイン層 | 34 n ⁺ ソース領域 |
| 32 ドリフト層 | 35 ゲート酸化膜 |
| 32a n ⁻ 高抵抗層 | 36 ゲート電極層 |
| 32b n埋め込み領域 | 37 ソース電圧 |
| 32c p埋め込み領域 | 38 ドレイン電圧 |
| 33a pベース領域 | 39 絶縁膜 |
| 33b p ⁺ ウェル領域 | |

【特許請求の範囲】

【請求項1】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともに、オフ状態では空乏化する第一導電型領域と第二導電型領域とを交互に配置した並列pn層からなる半導体基体領域とを備える超接合半導体素子において、半導体基体領域が第一の主面から所定の深さにほぼ周期的に交互に形成されたそれぞれ第二導電型、第一導電型の第一埋め込み領域、第二埋め込み領域を有することを特徴とする超接合半導体素子。

【請求項2】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流が流れ、オフ状態では空乏化する第一導電型領域と第二導電型領域とを交互に配置した並列pn層からなる半導体基体領域とを備える超接合半導体素子において、半導体基体領域が第一の主面から複数の深さにほぼ周期的に交互に形成されたそれぞれ第二導電型、第一導電型の第一埋め込み領域、第二埋め込み領域を有し、第一埋め込み領域、第二埋め込み領域がそれぞれ深さ方向にほぼ整列されていることを特徴とする超接合半導体素子。

【請求項3】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流が流れ、オフ状態では空乏化する第一導電型領域と第二導電型領域とを交互に配置した並列pn層からなる半導体基体領域とを備える超接合半導体素子において、半導体基体領域が第一の主面から複数の深さにほぼ周期的に形成された第二導電型の第一埋め込み領域と、第一埋め込み領域の形成された深さのほぼ中間の深さにほぼ周期的に形成された第一導電型の第二埋め込み領域とを有し、第一埋め込み領域が深さ方向にほぼ整列されていることを特徴とする超接合半導体素子。

【請求項4】第一埋め込み領域の形成された深さ中心の間隔 l_1 が、 $2 \sim 10 \mu\text{m}$ の範囲にあることを特徴とする請求項2または3に記載の超接合半導体素子。

【請求項5】第一埋め込み領域の形成された深さ中心の間隔 l_1 と、隣接する第一埋め込み領域の中心の平面的な間隔 $2d$ との間に、 $0.5d \leq l_1 \leq 2d$ なる関係が成立することを特徴とする請求項2ないし4のいずれかに記載の超接合半導体素子。

【請求項6】低抵抗層から第一埋め込み領域の形成された深さ中心までの間隔 l_0 と、第一埋め込み領域の形成された深さ中心の間隔 l_1 との間に、 $l_0 < l_1$ なる関係が成立することを特徴とする請求項2ないし5のいずれかに記載の超接合半導体素子。

【請求項7】深さ方向にほぼ整列された第一埋め込み領域が互いに接続することを特徴とする請求項2ないし6のいずれかに記載の超接合半導体素子。

【請求項8】深さ方向にほぼ整列された第二埋め込み領域が互いに接続することを特徴とする請求項2ないし7

のいずれかに記載の超接合半導体素子。

【請求項9】第一埋め込み領域および第二埋め込み領域が平面的にストライプ状であることを特徴とする請求項1ないし8のいずれかに記載の超接合半導体素子。

【請求項10】第一埋め込み領域が平面的に格子状または蜂の巣状であることを特徴とする請求項1ないし8のいずれかに記載の超接合半導体素子。

【請求項11】第二埋め込み領域が、平面的に第一埋め込み領域のほぼ中央部に配置されていることを特徴とする請求項10記載の超接合半導体素子。

【請求項12】第二埋め込み領域が平面的に格子状または蜂の巣状であることを特徴とする請求項1ないし8のいずれかに記載の超接合半導体素子。

【請求項13】第一埋め込み領域が、平面的に第二埋め込み領域のほぼ中央部に配置されていることを特徴とする請求項12記載の超接合半導体素子。

【請求項14】第一埋め込み領域が平面的に分散した二次元形状であることを特徴とする請求項1ないし8のいずれかに記載の超接合半導体素子。

【請求項15】第一埋め込み領域が平面的に分散した二次元形状で、正方格子、三方格子または六方格子の格子点上に配置されていることを特徴とする請求項12記載の超接合半導体素子。

【請求項16】第一埋め込み領域および第三埋め込み領域が平面的に分散した二次元形状で、正方格子、三方格子または六方格子の格子点上に配置されており、かつ第二埋め込み領域がそれぞれ平面的に隣接する二つの第一埋め込み領域間に配置されていることを特徴とする請求項15記載の超接合半導体素子。

【請求項17】第一埋め込み領域が平面的に分散した二次元形状で、正方格子、三方格子または六方格子の格子点上に配置されており、かつ第二埋め込み領域が、平面的に第一埋め込み領域の単位格子のほぼ中央に配置されていることを特徴とする請求項15記載の超接合半導体素子。

【請求項18】隣接する第一埋め込み領域の中心の平面的な間隔 $2d$ が $2 \sim 20 \mu\text{m}$ の範囲にあることを特徴とする請求項1ないし17のいずれかに記載の超接合半導体素子。

【請求項19】第一、第二埋め込み領域がいずれも限られた不純物源からの拡散により形成された濃度分布を有することを特徴とする請求項1ないし18のいずれかに記載の超接合半導体素子。

【請求項20】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、第一の主面から所定の深さにほぼ周期的に交互に形成されたそれぞれ第二導電型、第一導電型の第一埋め込み領域、第二埋め込み領域とからなり、オン状態では電流が流れ、オフ状態では空乏化する半導体基体領域とを備える超接合半導体素子の製造方法において、高抵抗層をエ

ビタキシャル法により積層し、第一埋め込み領域および第二埋め込み領域をその高抵抗層への不純物の拡散により形成することを特徴とする超接合半導体素子の製造方法。

【請求項 21】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、第一の主面から複数の深さにほぼ周期的に交互に形成されたそれぞれ第二導電型、第一導電型の第一埋め込み領域、第二埋め込み領域とからなり、オン状態では電流が流れ、オフ状態では空乏化する半導体基体領域とを備える超接合半導体素子の製造方法において、高抵抗層をエビタキシャル法により積層し、第一埋め込み領域および第二埋め込み領域をその高抵抗層への不純物の拡散により形成することを特徴とする超接合半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（絶縁ゲートバイポーラトランジスタ）、バイポーラトランジスタ、ダイオード等に適用可能な高耐压化と大電流容量化を両立させるための縦型半導体構造およびその構造を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】一般に半導体素子は、片面に電極部をもつ横型素子と、両面に電極部をもつ縦型素子とに大別できる。縦型半導体素子は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアス電圧による空乏層の延びる方向とが同じである。例えば、図19は、通常のプレーナ型のnチャネル縦型MOSFETの断面図である。この縦型MOSFETは、ドレイン電極18が導電接触した低抵抗のn⁺ドレイン層11の上に形成された高抵抗のn⁻ドリフト層12と、n⁻ドリフト層12の表面層に選択的に形成されたpベース領域13と、そのpベース領域13内に選択的に形成された高不純物濃度のn⁺ソース領域14と、n⁺ソース領域14とnドリフト層12とに挟まれたpベース領域13の表面上にゲート絶縁膜15を介して設けられたゲート電極層16と、n⁺ソース領域14とpベース領域13との表面に共通に接触して設けられたソース電極17と、n⁺ドレイン層11の裏面側に設けられたドレイン電極18とを有する。

【0003】このような縦型素子において、高抵抗のn⁻ドリフト層12の部分は、MOSFETがオン状態のときは縦方向にドリフト電流を流す領域として働き、オフ状態のときは、空乏化して耐压を高める。この高抵抗のn⁻ドリフト層12の電流経路を短くすることは、ドリフト抵抗が低くなるのでMOSFETの実質的なオン抵抗（ドレインソース抵抗）を下げる効果に繋がるものの、逆にpベース領域13とn⁻ドリフト層12との

間のpn接合から進行するドレインベース間空乏層が広がる幅が狭く、シリコンの最大（臨界）電界強度に速く達するため、耐压（ドレインソース電圧）が低下してしまう。逆に耐压の高い半導体装置では、n⁻ドリフト層12が厚くなるため必然的にオン抵抗が大きくなり、損失が増すことになる。すなわちオン抵抗（電流容量）と耐压間にはトレードオフ関係がある。このトレードオフ関係は、IGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。またこの問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向とが異なる横型半導体素子についても共通である。

【0004】この問題に対する解決法として、ドリフト層を、不純物濃度を高めたn型の領域とp型の領域とを交互に積層した並列pn層で構成し、オフ状態のときは、空乏化して耐压を負担するようにした構造の半導体装置が、EP0053854、USP5216275、USP5438215および本発明の発明者らによる特開平9-266311号公報に開示されている。

【0005】図20は、USP5216275に開示された半導体装置の一実施例である縦型MOSFETの部分断面図である。図19との違いは、ドリフト層22が単一層でなく、nドリフト領域22aとpドリフト領域22bとからなる並列pn層とされている点である。23はpベース領域、24はn⁺ソース領域、26はゲート電極、27はソース電極、28はドレイン電極である。

【0006】このドリフト層22は、n⁺ドレイン層21をサブストレートとしてエビタキシャル法により、高抵抗のn型層を成長し、選択的にn⁺ドレイン層21に達するトレンチをエッチングしてnドリフト領域22aとした後、更にトレンチ内にエビタキシャル法によりp型層を成長してpドリフト領域22bが形成される。なお本発明の発明者らは、オン状態では電流を流すとともに、オフ状態では空乏化する並列pn層からなるドリフト層を備える半導体素子を超接合半導体素子と称することとした。

【0007】

【発明が解決しようとする課題】USP5216275におけるディメンジョンの具体的な記述としては、降伏電圧をV_Bとすると、ドリフト層22の厚さとして $0.024V_B^{1.2} [\mu m]$ 、nドリフト領域22aとpドリフト領域22bとが同じ幅bをもち、同じ不純物濃度であるとする、不純物濃度が $7.2 \times 10^{16} V_B^{-0.2} / b [cm^{-3}]$ としている。仮にV_B = 800 V、b = 5 μmと仮定すると、ドリフト層22の厚さは73 μm、不純物濃度は $1.9 \times 10^{16} cm^{-3}$ となる。単一層の場合の不純物濃度は 2×10^{14} 程度であるから、確かにオン抵抗は低減されるが、このような幅が狭

く、深さの深い（すなわちアスペクト比の大きい）トレンチ内に良質の半導体層を埋め込むエピタキシャル技術は現在のところ極めて困難である。

【0008】オン抵抗と耐圧とのトレードオフの問題は、横型半導体素子についても共通である。上に掲げた他の発明、EP0053854、USP5438215および特開平9-266311号公報においては、横型の超接合半導体素子も記載されており、横型、縦型共通の製造方法として、選択的なエッチングおよびエピタキシャル法による埋め込みによる方法が開示されている。横型の超接合半導体素子の場合には、薄いエピタキシャル層を積層していくので、選択的なエッチングおよびエピタキシャル法による埋め込みはそれほど困難な技術ではない。

【0009】しかし、縦型の超接合半導体素子に関しては、選択的なエッチングおよびエピタキシャル法による埋め込みは、USP5216275と同じ困難を抱えている。特開平9-266311号公報においてはまた、中性子線等による核変換法が記載されているが、装置が大がかりになり、手軽に適用するわけにはいかない。以上のような状況に鑑み本発明の目的は、オン抵抗と耐圧とのトレードオフ関係を大幅に緩和させて、高耐圧でありながらオン抵抗の低減による電流容量の増大が可能な超接合半導体素子、およびその簡易で量産性良く製造し得る製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記課題解決のため、第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流が流れ、オフ状態では空乏化する第一導電型領域と第二導電型領域とを交互に配置した並列pn層からなる半導体基体領域とを備える超接合半導体素子において、半導体基体領域が、第一の主面から所定の深さにほぼ周期的に交互に形成されたそれぞれ第二導電型、第一導電型の第一埋め込み領域、第二埋め込み領域を有するものとする。

【0011】半導体基体領域が、第一の主面から複数の深さにほぼ周期的に交互に形成されたそれぞれ第二導電型、第一導電型の第一埋め込み領域、第二埋め込み領域を有し、第一埋め込み領域、第二埋め込み領域がそれぞれ深さ方向にほぼ整列されているものとしてもよい。半導体基体領域が、第一の主面から複数の深さにほぼ周期的に形成された第二導電型の第一埋め込み領域と、第一埋め込み領域の形成された深さのほぼ中間の深さにほぼ周期的に形成された第一導電型の第二埋め込み領域を有し、第一埋め込み領域が深さ方向にほぼ整列されているものでもよい。

【0012】そのようにすれば、オフ状態では半導体基体領域を空乏化させられるので、第一埋め込み領域または第二埋め込み領域の不純物濃度を高めることができ

て、オン状態でのオン抵抗を低減できる。特に、第一埋め込み領域の形成された中心深さの間隔 l_1 が、 $2 \sim 10 \mu\text{m}$ の範囲にあるものとする。

【0013】間隔 l_1 が $10 \mu\text{m}$ を越えると、第一埋め込み領域またはそこから広がる空乏層を連続させるために、長時間の熱処理を必要とするようになる。また $2 \mu\text{m}$ 未満であると、高抵抗層の成長とイオン注入による不純物のドーピングを繰り返す回数が増え、工程数が増えて量産化に適しない。間隔 l_1 と、隣接する第一埋め込み領域の中心間の平面的な間隔 $2d$ との間に、 $0.5d \leq l_1 \leq 2d$ なる関係が成立するものとする。

【0014】不純物源が小さく、不純物源からの拡散がほぼ等方的に進むと仮定すると、間隔 $l_1 = d$ のとき、丁度上下の埋め込み領域間および、第一、第二埋め込み領域間が一緒に接続することになる。したがって、 $l_1 = d$ から余りに外れた範囲では、一方が既に接続してからのなが接続するまでになお長時間の熱処理を要するという状況が生まれ、時間の利用効率から余り望ましく無い。従って $l_1 = d$ を中心にして二倍の範囲である、 $0.5d \leq l_1 \leq 2d$ が望ましいと言える。

【0015】低抵抗層から第一埋め込み領域の形成された深さ中心までの間隔 l_0 と第一埋め込み領域の形成された深さ中心の間隔 l_1 との間に、 $l_0 < l_1$ なる関係が成立するものとする。 l_0 が l_1 に近い値であると、ほぼ半分の厚さの高抵抗層が残ることになり、オン電圧を増大させる原因となるので、 $l_0 < l_1$ とするのが良い。

【0016】深さ方向にほぼ整列された第一埋め込み領域が互いに接続するものとする。第二導電型の第一埋め込み領域は、第一導電型の第二埋め込み領域内に空乏層を広げる為であり、空乏層が繋がる距離であれば離れていても良いが、互いに接続していれば、作用が確実である。深さ方向にほぼ整列された第二埋め込み領域が互いに接続するものとする。

【0017】第一導電型の第二埋め込み領域は、ドリフト電流の経路となるので、高抵抗層が残っていると、オン電圧を増大させる原因となるので、互いに接触するのが良い。また、上記と同様に第一導電型の第二埋め込み領域は、第二導電型の第一埋め込み領域内に空乏層を広げる為であり、空乏層が繋がる距離であれば離れていても良いが、互いに接続していれば、作用が確実である。

【0018】第一埋め込み領域、第二埋め込み領域の平面的な形状としては、様々なものが考えられる。例えば、ストライプ状であっても、格子状であっても、また、平面的に分散した二次元形状であってもよい。分散した二次元形状で、例えば正方、長方、三方、または六方格子点上に配置されている場合には、第一の埋め込み領域としては、二つの隣接する第一埋め込み領域間、或いは第一埋め込み領域の単位格子のほぼ中央に配置した

形状等が考えられる。

【0019】何れの形状でも、第一埋め込み領域と第二埋め込み領域とに空乏層がひろがる形状であれば良い。隣接する第一埋め込み領域の中心の平面的な間隔2dは、2~20 μm の範囲にあるものとする。エピタキシャル層の表面に通常のリソグラフィ法のほぼ限界である0.4 μm 幅の窓を開け、そこから約0.3 μm の拡散を進行させると、2dは約2 μm となる。2dが20 μm を越えると、例えば300V程度で空乏化するためには、不純物濃度は $2 \times 10^{15} \text{cm}^{-3}$ 程度でなければならず、オン抵抗の低減効果が小さくなる。

【0020】上記のような超接合半導体装置の製造方法としては、高抵抗層をエピタキシャル法により積層し、第一埋め込み領域および第二埋め込み領域をその高抵抗層への不純物の拡散により形成する。そのような製造方法とすれば、アスペクト比の高いトレンチの形成や、またそのトレンチへの埋め込みのような困難な工程を経ることなく、容易に超接合半導体装置を得ることができる。そして、その半導体装置においては、第一、第二埋め込み領域がいずれも限られた不純物源からの拡散により形成された濃度分布を有することになる。

【0021】

【発明の実施の形態】以下に本発明の実施の形態を添付図面に基づいて説明する。

【実施例1】図1は、本発明の実施例1に係る縦型の超接合MOSFETの部分断面図、図2(a)は、図1中のA-A線に沿って切断した状態を示す平面図、図2(b)は、図1中のB-B線に沿って切断した状態を示す平面図である。

【0022】図1において、31は低抵抗の n^+ ドレイン層、32は n^- 高抵抗層32a、 n 埋め込み領域32b、 p 埋め込み領域32cとからなる半導体基体領域である。表面層には、 n 埋め込み領域32bに接続して n チャネル層32dと、 p 埋め込み領域32cに接続して p ベース領域33aが形成されている。 p ベース領域33の内部に n^+ ソース領域34と高濃度の p^+ ウェル領域33bとが形成されている。 n^+ ソース領域34と n チャネル層32dとに挟まれた p ベース領域33aの表面上には、ゲート絶縁膜35を介してゲート電極層36が、また、 n^+ ソース領域34と高濃度の p^+ ウェル領域33bの表面に共通に接触するソース電極37が設けられている。 n^+ ドレイン層31の裏面にはドレイン電極38が設けられている。ソース電極37は、図のように絶縁膜39を介してゲート電極層36の上に延長されることが多い。半導体基体領域32のうちドリフト電流が流れるのは、 n 埋め込み領域32bと n^- 高抵抗層32aであるが、以下では p 埋め込み領域32cを含めた半導体基体領域をドリフト層と呼ぶことにする。

【0023】図中の点線は、半導体基体領域32の形成を中断し、不純物を導入した面を示している。 n 埋め込

み領域32bと p 埋め込み領域32cとは、それぞれほぼ中央部に導入された不純物源からの拡散によって形成されたため、境界の $p-n$ 接合は曲線（三次元的には曲面）となっているが、拡散のための熱処理時間を長くすれば、両者の間の $p-n$ 接合は次第に直線（三次元的には平面）に近くなる。

【0024】図2(a)に見られるように n 埋め込み領域32b、 p 埋め込み領域32cは、平面的にはストライプ状に形成されている。図2(a)において、 n 埋め込み領域32bと p 埋め込み領域32cは接しているが、B-B線に沿った図2(a)においては、二つの領域が接しておらず、両者の間に高抵抗の n^- 高抵抗層32aが残っている。但し、上述のようにこの部分の n^- 高抵抗層32aは、イオン注入後の熱処理時間を長くすれば、狭くすることができ、極端には無くすることもできる。

【0025】図3(a)は、図1中のA-A線に沿っての不純物濃度分布図、同図(b)、(c)はそれぞれ図1中のC-C線、D-D線に沿っての不純物濃度分布図である。いずれも縦軸は対数表示した不純物濃度である。図3(a)においては、 n 埋め込み領域32bと p 埋め込み領域32cとが交互に配置されており、それぞれの不純物の拡散源からの拡散による濃度分布が繰り返されているのが見られる。図3(b)において、31は低抵抗の n^+ ドレイン層である。 n 埋め込み領域32bには、拡散源からの拡散による濃度分布が見られ、また、上の n 埋め込み領域32bと接続して濃度分布が繰り返され、続く n チャネル領域32dにも表面からの拡散による濃度分布が見られる。図6(b)においては、低抵抗の n^+ ドレイン層31に続く p 埋め込み領域32cに、拡散源からの拡散による濃度分布が見られ、上の p 埋め込み領域32cと接続して濃度分布が繰り返され、続く p ベース領域33a、 p^+ ウェル領域33bにも表面からの拡散による濃度分布が見られる。

【0026】図1の超接合MOSFETの動作は、次のようにおこなわれる。ゲート電極層36に所定の正の電圧が印加されると、ゲート電極層36直下の p ベース領域33aの表面層に反転層が誘起され、 n^+ ソース領域34から反転層を通じて n チャネル領域33dに注入された電子が、 n 埋め込み領域32bを通じて n^+ ドレイン層31に達し、ドレイン電極38、ソース電極37間が導通する。

【0027】ゲート電極層36への正の電圧が取り去られると、 p ベース領域33aの表面層に誘起された反転層がが消滅し、ドレイン・ソース間が遮断される。更に、逆バイアス電圧を大きくすると、各 p 埋め込み領域32cは p ベース領域33aを介してソース電極37で連結されているので、 p ベース領域33aと n チャネル領域32dとの間の $p-n$ 接合J a、 p 埋め込み領域32cと n 埋め込み領域32bとの $p-n$ 接合J b、 p 埋め込

み領域32cと n^- 高抵抗層32aとの間のpn接合Jcからそれぞれ空乏層がn埋め込み領域32b、p埋め込み領域32c内に広がってこれらが空乏化される。

【0028】pn接合Jb、Jcからの空乏端は、n埋め込み領域32bの幅方向に広がり、しかも両側のp埋め込み領域32cから空乏層が広がるので空乏化が非常に早まる。従って、n埋め込み領域32bの不純物濃度を高めることができる。またp埋め込み領域32cも同時に空乏化される。p埋め込み領域32cも両側面から空乏端が広がるので空乏化が非常に早まる。p埋め込み領域32cとn埋め込み領域32bとを交互に形成することにより、隣接するn埋め込み領域32bの双方へ空乏端が進入するようになっているので、空乏層形成のためのp埋め込み領域32cの総占有幅を半減でき、その分、n埋め込み領域32bの断面積の拡大を図ることができる。

【0029】例えば、300Vクラスの高抵抗MOSFETとして、各部の寸法および不純物濃度等は次のような値をとる。 n^+ ドレイン層31の比抵抗は $0.01\Omega\cdot\text{cm}$ 、厚さ $350\mu\text{m}$ 、 n^- 高抵抗層32aの比抵抗 $10\Omega\cdot\text{cm}$ 、ドリフト層32の厚さ $25\mu\text{m}$ (l_0 、 l_1 、 l_2 、 l_3 …各 $5\mu\text{m}$)、n埋め込み領域32bおよびp埋め込み領域32cの幅 $5\mu\text{m}$ (すなわち、同じ型の埋め込み領域の中心間隔 $10\mu\text{m}$)、平均不純物濃度 $7\times 10^{15}\text{cm}^{-3}$ 、pベース領域33aの拡散深さ $1\mu\text{m}$ 、表面不純物濃度 $3\times 10^{18}\text{cm}^{-3}$ 、 n^+ ソース領域34の拡散深さ $0.3\mu\text{m}$ 、表面不純物濃度 $1\times 10^{20}\text{cm}^{-3}$ である。

【0030】図19のような従来の単層の高抵抗ドリフト層を持つ縦型MOSFETでは、300Vクラスの耐圧とするためには、ドリフト層12の不純物濃度としては $2\times 10^{14}\text{cm}^{-3}$ 、厚さ $40\mu\text{m}$ 程度必要であったが、本実施例の超接合MOSFETでは、n埋め込み領域32bの不純物濃度を高くしたことと、そのことによりドリフト層32の厚さを薄くできたため、オン抵抗としては約5分の1に低減できた。

【0031】更にn埋め込み領域32bの幅を狭くし、不純物濃度を高くすれば、より一層のオン抵抗の低減、およびオン抵抗と耐圧とのトレードオフ関係の改善が可能である。本実施例1の超接合MOSFETと、例えば図20に示した従来の超接合MOSFETとの違いは、特にドリフト層32の形成方法およびその結果としてのドリフト層32の構造にある。すなわち、ドリフト層32のn埋め込み領域32bとp埋め込み領域32cとが不純物の拡散により形成されているため、ドリフト層32内に拡散にともなう不純物濃度分布を有する点である。

【0032】図4(a)ないし(d)および図5(a)および(b)は、実施例1の超接合MOSFETの製造方法を説明するための工程順の断面図である。以下図面

に沿って説明する。 n^+ ドレイン層31となる低抵抗のn型のサブストレート上に、エピタキシャル法により n^- 高抵抗層32aを成長させる[図4(a)]。この厚さを l_0 とする。本実施例では l_0 を $4\mu\text{m}$ とした。

【0033】フォトリソグرافیのマスクパターン1を形成し、ほう素(以下Bと記す)イオン2を注入する[同図(b)]。加速電圧は 50keV 、ドーズ量は $1\times 10^{13}\text{cm}^{-2}$ とする。3は注入されたB原子である。次いでフォトリソグرافیのマスクパターン4を形成し、リン(以下Pと記す)イオン5を注入する[同図(c)]。加速電圧は 50keV 、ドーズ量は $1\times 10^{13}\text{cm}^{-2}$ とする。6は注入されたP原子である。

【0034】再びエピタキシャル法により、 n^- 高抵抗層32aを成長させ(厚さ: l_1)、フォトリソグرافیのマスクパターンを形成し、同様にB、Pをイオン注入する。この工程を繰り返し、ドリフト層32を所定の厚さにする。本実施例では l_1 を $5\mu\text{m}$ として3層積層し、更に表面層部分を形成する部分を成長する[同図(d)]。

【0035】熱処理して注入された不純物を拡散させ、n埋め込み領域32bとp埋め込み領域32cとを形成する[図5(a)]。本実施例の場合 1150°C 、5時間の熱処理をおこなった。この熱処理により、不純物は約 $3\mu\text{m}$ 拡散し、n埋め込み領域32bとp埋め込み領域32cとがそれぞれ接続した。イオン注入時のマスクの形状および不純物のドーズ量および熱処理時間によって、最終的な埋め込み領域32b、32cの形状は変えられる。

【0036】通常の縦型MOSFETと同様にして、不純物イオンの選択的な注入および熱処理により、表面層にnチャネル領域32d、pベース領域33a、 n^+ ソース領域34、 p^+ ウェル領域33bを形成する[同図(b)]。この後、熱酸化によりゲート絶縁膜35を形成し、減圧CVD法により多結晶シリコン膜を堆積し、フォトリソグرافیによりゲート電極層36とする。更に絶縁膜39を堆積し、フォトリソグرافیにより窓開けをおこない、アルミニウム合金の堆積、パターン形成によりソース電極37、ドレイン電極38および図示されないゲート電極の形成を経て図1のような縦型MOSFETが完成する。

【0037】数 μm の厚さのエピタキシャル成長とイオン注入で導入された不純物の拡散による埋め込み領域の形成は、極めて一般的な技術であり、このような製造方法をとれば、アスペクト比の大きなトレンチを形成し、そのトレンチ内に良質のエピタキシャル層を埋め込むという従来極めて困難であった技術が回避され、容易にオン抵抗と耐圧とのトレードオフ特性が改善された超接合MOSFETを製造できる。

【0038】 n^+ ドレイン層31上のエピタキシャル成長の厚さ l_0 を、その上のエピタキシャル成長の厚さ l_1

より薄くした。これは、 n 埋め込み領域32bの下に残る n^- 高抵抗層32aが厚いと、オン抵抗が増大するので、薄くしたのである。図6は、本発明の実施例1の超接合MOSFETの変形例の部分断面図である。これは、図4(d)の不純物イオン注入およびエピタキシャル成長後の熱処理時間を長時間おこなったものである。熱処理時間を長くしたため、 n^- 高抵抗層32aは消滅して隣接する n 埋め込み領域32bと p 埋め込み領域32cとがほぼ全面で接し、その境界はほぼ平面になっている。そのため断面図においては n 埋め込み領域32bと p 埋め込み領域32cとの境界は直線として表される。

【0039】この断面図は、図20の従来例の部分断面図と良く似ているが、半導体内部の構造は異なっている。すなわち、図20の従来例では、エピタキシャル層へのトレンチ形成とそのトレンチへのエピタキシャル層充填による形成のため、各エピタキシャル層内の不純物濃度がほぼ均一であるのに対し、図6の変形例の断面図におけるE-E線、F-F線およびG-G線に沿った不純物濃度分布は、それぞれ基本的に図3(a)、

(b)、(c)とほぼ同様になる。但し上述のように高抵抗層32aは消滅している。E-E線に沿った不純物濃度分布は、 n 埋め込み領域32bと p 埋め込み領域32cとの不純物濃度分布が交互に配置された形になる。F-F線に沿った不純物濃度分布は、低抵抗の n^+ ドレイン層31、 n 埋め込み領域32bの拡散源からの拡散による濃度分布の繰り返しおよび表面層の n チャネル領域32dの濃度分布となる。G-G線に沿った不純物濃度分布は、低抵抗の n^+ ドレイン層31、 p 埋め込み領域32cの拡散源からの拡散による濃度分布の繰り返し、表面層の p ベース領域32aおよび p^+ ウェル領域33bの濃度分布となる。

【0040】なお、実施例1の超接合MOSFETでは、 n 埋め込み領域32bと p 埋め込み領域32cとの平面的な配置をともにストライプ状としたが、それに限らず、様々な配置とすることができる。図7~12は図2(a)に対応する各種配置の例である。図7は格子状配置の例、図8は図7と第一埋め込み領域32bと第二埋め込み領域32cとを交換した格子状配置である。或いは、 n 埋め込み領域32bまたは p 埋め込み領域32cを蜂の巣状とすることもできる。

【0041】図9、10、11、12は分散配置の例であり、図9は p 埋め込み領域32cが正方格子の格子点上に配置され、隣接する p 埋め込み領域32c間に n 埋め込み領域32bが設けられている。図10では、 p 埋め込み領域32cが正方格子の格子点上に配置され、 n 埋め込み領域32bが p 埋め込み領域32cの単位格子のほぼ中心に設けられている。図11、12では、 p 埋め込み領域32cが三方格子の格子点上に配置され、 n 埋め込み領域32bが隣接する p 埋め込み領域32c

間、或いは単位格子のほぼ中心に設けられた例である。いずれの場合も、エピタキシャル成長および不純物の導入後の熱処理時間を長くすれば、 n 埋め込み領域32bと p 埋め込み領域32cとを接近させられる。場合により、 n^- 高抵抗層32aを p 型とすることもできる。これらに限らず、他の繰り返し形状も採用可能である。

【0042】また、表面層の p ベース領域33aと p 埋め込み領域32cとは平面的な形状が同様でなければならない訳ではなく、接続が保たれていれば、全く異なるパターンとしても良い。例えば、両者をストライプ状とした場合に、それらが互いに直交するストライプ状とすることもできる。いずれの配置を採用した場合でも、拡散のための熱処理時間を長くすれば、 n 埋め込み領域32bと p 埋め込み領域32cとの接触する面積が次第に増して行き、 n^- 高抵抗層32aは次第に少なくなつて、遂には消滅する。

【0043】本実施例1では、上下の n 埋め込み領域32bを接続させる熱処理をおこなったが、高抵抗層が n 型の n^- 高抵抗層32aであれば、 n 埋め込み領域32bを接続させなくても良い。ただし、 n 埋め込み領域32b間に n^- 高抵抗層32aが残ると、オン抵抗が増すことになる。また n 埋め込み領域32cについても、互いに空乏層がつながる距離であれば、必ずしも接続させなくても良い。

【実施例2】図13は、本発明の実施例2にかかる超接合MOSFETの部分断面図である。

【0044】図13において、41は低抵抗の n^+ ドレイン層、42は n^- 高抵抗層42a、 n 埋め込み領域42b、 p 埋め込み領域42cとからなるドリフト層である。表面層には、 n 埋め込み領域42bに接続して n チャネル層42dと、 p 埋め込み領域42cに接続して p ベース領域43aが形成されている。 p ベース領域43aの内部に n^+ ソース領域44と高濃度の p^+ ウェル領域43bとが形成されている。 n^+ ソース領域44と n チャネル層42dとに挟まれた p ベース領域43aの表面上には、ゲート絶縁膜45を介してゲート電極層46が、また、 n^+ ソース領域44と高濃度の p^+ ウェル領域43bの表面に共通に接触するソース電極47が設けられている。 n^+ ドレイン層41の裏面にはドレイン電極48が設けられている。

【0045】本実施例2の超接合MOSFETと、図1に示した実施例1の超接合MOSFETとの違いは、特にドリフト層42の形成方法およびその結果としてのドリフト層の構造にある。すなわち、ドリフト層42の n 埋め込み領域42bと p 埋め込み領域42cとが異なるエピタキシャル層の表面に注入された不純物の拡散により形成されている点にある。

【0046】実施例1の超接合MOSFETのように、 n 埋め込み領域と p 埋め込み領域とのための不純物導入を必ずしも同じ深さに形成しなければならない訳ではな

く、本実施例のようにn埋め込み領域42bとp埋め込み領域42cとを別の深さに形成しても良い。効果は実施例1と変わらない。エピタキシャル成長と不純物の拡散という極く一般的な方法で、容易にオン抵抗と耐圧とのトレードオフ特性が改善された超接合MOSFETを製造でき、従来のアスペクト比の大きなトレンチを形成し、そのトレンチ内に良質のエピタキシャル層を埋め込むという極めて困難であった技術が回避される。

【0047】平面的なパターンとしては、実施例1と同様にストライプ状、格子状、分散配置等とすることができ。以後の実施例でも同様である。この実施例では、n埋め込み領域42bがn⁺ドレイン層31に接しているため、高抵抗層は必ずしもn型である必要は無く、p型の高抵抗層でも良い。そしてp型の高抵抗層の場合には、p埋め込み領域42cは、互いに接触していなくても良いことになる。

【実施例3】図14は、本発明の実施例3にかかるトレンチゲートを持つ超接合UMOSFETの部分断面図である。

【0048】本実施例3の超接合UMOSFETと、図1に示した実施例1の超接合MOSFETとの違いは、ゲート部の構造にある。すなわち、ドリフト層52の表面側に掘りこまれたトレンチ内にゲート絶縁膜55を介してゲート電極層56と、ドリフト層52の表面層にゲート電極層56の深さ程度に浅く形成されたpベース層53aと、ゲート電極層56の上縁に沿って形成されたn⁺ソース領域54と、ゲート電極層56を覆う厚い絶縁膜59とを有する。ドリフト層52が、n埋め込み領域52bとp埋め込み領域52cとからなることは、前二例と同様である。

【0049】この場合も、n埋め込み領域52b、p埋め込み領域52cは実施例1とほぼ同じディメンジョンと不純物濃度を持ち、逆バイアス電圧の印加に際して、ドリフト層52が空乏化して耐圧を負担するものである。n埋め込み領域52b、p埋め込み領域52cは容易に空乏化されるため、不純物濃度を高くできることと、そのことによりドリフト層72の厚さを薄くできることにより、オン電圧の大幅な低減、オン電圧と耐圧とのトレードオフ特性の改善が可能となる。そして、エピタキシャル成長と不純物の拡散という極く一般的な方法で、容易にオン抵抗と耐圧とのトレードオフ特性が改善された超接合UMOSFETを製造できる。

【実施例4】図15は、本発明の実施例4にかかる超接合IGBTの部分断面図である。

【0050】本実施例4の超接合IGBTと、図1に示した実施例1の超接合MOSFETとの違いは、ドレイン層の構造にある。すなわち、超接合MOSFETの単層のn⁺型ドレイン層21に代えてp⁺ドレイン層61aとn⁺バッファ層61bとからなる二層構造とすると、nチャネル型のIGBTを得ることができる。場合

によりp⁺ドレイン層61aのみでもよい。ドリフト層62が、n埋め込み領域62bとp埋め込み領域62cとからなることは、前二例と同様である。

【0051】IGBTは、少数キャリアの注入による電導度変調型の半導体素子であり、多数キャリアのドリフトによるMOSFETに比べてオン抵抗はかなり小さいが、それでもドリフト層62の厚さを薄くできることによるオン抵抗の低減効果は大きい。p⁺ドレイン層61aは低抵抗のp型サブストレートを使用し、その上にn⁺バッファ層61bとなるエピタキシャル層、更にドレイン層62をエピタキシャル成長と不純物の拡散により形成すれば良い。

【0052】そしてそのような製造方法をとれば、アスペクト比の大きなトレンチを形成し、そのトレンチ内に良質のエピタキシャル層を埋め込むという従来法では極めて困難であった技術が回避され、容易にオン抵抗と耐圧とのトレードオフ特性が改善された超接合IGBTを製造できる。

【実施例5】図16は、本発明の実施例5にかかる超接合ダイオードの部分断面図である。

【0053】図16において、71は低抵抗のn⁺カソード層、72はn⁻高抵抗層72a、n埋め込み領域72b、p埋め込み領域72cとからなるドリフト層である。表面層には、p⁺アノード層73が形成されている。p⁺アノード層73に接触するアノード電極77、n⁺カソード層71に接触するアノード電極78が設けられている。

【0054】本実施例5の超接合ダイオードにおいても、n埋め込み領域72b、p埋め込み領域72cは実施例1とほぼ同じディメンジョンと不純物濃度を持ち、逆バイアス電圧の印加に際して、ドリフト層72が空乏化して耐圧を負担するものである。n埋め込み領域72b、p埋め込み領域72cは容易に空乏化されるため、不純物濃度を高くできることと、そのことによりドリフト層72の厚さを薄くできることにより、オン電圧の大幅な低減、オン電圧と耐圧とのトレードオフ特性の改善が可能となる。

【0055】製造方法は、図4(a)～(d)までを実施例1と同様におこなった後、イオン注入および拡散によるp⁺アノード層73の形成、カソード電極77、アノード電極78の形成をおこなう。このように極めて一般的な技術であるエピタキシャル成長と不純物の拡散により、容易に高耐圧、低オン電圧の超接合ダイオードを製造できる。

【実施例6】図17は、本発明の実施例6にかかる超接合ダイオードの部分断面図である。

【0056】図16の超接合ダイオードとの違いは、ドリフト層82である。ドリフト層82は、n⁻高抵抗層82a、n埋め込み領域82b、p埋め込み領域82cとからなるが、その不純物濃度の最も高い面が、n⁺カ

ソード層81、 p^+ アノード層83に接している。このような構造とすることもできる。本実施例6の超接合ダイオードにおいても、 n 埋め込み領域82b、 p 埋め込み領域82cは実施例1とほぼ同じディメンジョンと不純物濃度を持ち、逆バイアス電圧の印加に際して、ドリフト層82が空乏化して耐圧を負担するものである。

【0057】実施例5の超接合ダイオードと同様にオン電圧の大幅な低減、オン電圧と耐圧とのトレードオフの改善が可能となる。製造方法も同様であり、容易に高耐圧、低オン電圧の超接合ダイオードを製造できる。

【実施例7】図18は、本発明の実施例7にかかる超接合ショットキーダイオードの部分断面図である。

【0058】図18において、91は低抵抗の n^+ カソード層、92は、 n^- 高抵抗層92a、 n 埋め込み領域92b、 p 埋め込み領域92cからなるドリフト層である。表面層には、 n^- 高抵抗層92aが残され、一部 p 埋め込み領域82cが露出していて、 n^- 高抵抗層92aとショットキーバリアを形成するショットキー電極98が設けられる。 n^+ カソード層91の裏面側に接触してカソード電極97が設けられている。

【0059】本実施例7の超接合ショットキーダイオードにおいても、 n 埋め込み領域92b、 p 埋め込み領域92cは実施例1とほぼ同じディメンジョンと不純物濃度を持ち、逆バイアス電圧の印加に際して、ドリフト層92が空乏化して耐圧を負担するものである。 n 埋め込み領域92b、 p 埋め込み領域92cは容易に空乏化されるため、不純物濃度を高くできることと、そのことによりドリフト層92の厚さを薄くできることにより、オン電圧の大幅な低減、オン電圧と耐圧とのトレードオフ特性の改善が可能となる。

【0060】製造方法は、図4(a)～(d)まで同様におこなった後、イオン注入および拡散による p^+ アノード領域93の形成、ショットキー電極78、カソード電極77の形成をおこなう。このように極めて一般的な技術であるエピタキシャル成長と不純物の拡散により、容易に高耐圧、低オン電圧の超接合ショットキーダイオードを製造できる。

【0061】なお、本発明にかかる超接合構造は、実施例に示したMOSFET、IGBT、ダイオード等に限らず、バイポーラトランジスタ、JFET、サイリスタ、MESFET、HEMT等の殆ど全ての半導体素子に適用可能である。また、導電型は逆導電型に適宜変更できる。

【0062】

【発明の効果】以上説明したように本発明は、第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともに、オフ状態では空乏化する第一導電型領域と第二導電型領域とを交互に配置した並列 pn 層からなる半導体基体領域とを備える超接合半導体素子において、半

導体基体領域が、第一の主面から所定の深さにほぼ周期的に交互に形成されたそれぞれ第二導電型、第一導電型の第一埋め込み領域、第二埋め込み領域を有することを特徴としている。

【0063】またその製造方法として、高抵抗層をエピタキシャル法により積層し、第一埋め込み領域および第二埋め込み領域を不純物の拡散により形成することを特徴としている。従って、次の効果を奏する。従来のアスペクト比の大きなトレンチを形成し、そのトレンチ内に良質のエピタキシャル層を埋め込むという極めて困難であった技術に比して、エピタキシャル成長と不純物の拡散という極めて一般的な方法で、容易に特徴ある並列 pn 層構造を実現できた。

【0064】そしてその結果、第一埋め込み領域、第二埋め込み領域の空乏化を容易にして、それらの領域の不純物濃度の高濃度化を可能にしたこと、およびそのことにより並列 pn 層からなる半導体基体領域の厚さを薄くできることにより、例えば実施例に示した80%減というようなオン電圧の大幅な低減、オン電圧と耐圧とのトレードオフ特性の改善を可能にした。

【0065】本発明は、特に電力用の半導体素子において電力損失の劇的な低減を可能にした革新的な素子を実現するものである。

【図面の簡単な説明】

【図1】本発明の実施例1の縦型MOSFETの部分断面図

【図2】(a)は図1の実施例の縦型MOSFETのA-A線に沿った平面図、(b)はB-B線に沿った平面図

【図3】(a)は図1の実施例の縦型MOSFETのA-A線に沿った不純物濃度分布図、(b)はC-C線に沿った不純物濃度分布図、(c)はD-D線に沿った不純物濃度分布図

【図4】(a)～(d)は実施例1の縦型MOSFETの主な工程の製造工程順に示した部分断面図

【図5】(a)、(b)は図4(d)に続く実施例1の縦型MOSFETの主な工程の製造工程順に示した部分断面図

【図6】本発明の実施例1の縦型MOSFETの変形例の部分断面図

【図7】第一埋め込み領域と第二埋め込み領域との配置の例を示した平面図(正方格子状)

【図8】第一埋め込み領域と第二埋め込み領域との配置の例を示した平面図(正方格子状)

【図9】第一埋め込み領域と第二埋め込み領域との配置の例を示した平面図(正方格子点分散)

【図10】第一埋め込み領域と第二埋め込み領域との配置の例を示した平面図(正方格子点分散)

【図11】第一埋め込み領域と第二埋め込み領域との配置の例を示した平面図(三方格子点分散)

【図12】第一埋め込み領域と第二埋め込み領域との配置の例を示した平面図（三方格子点分散）

【図13】本発明実施例2の縦型MOSFETの部分断面図

【図14】本発明実施例3の縦型UMOSFETの部分断面図

【図15】本発明実施例4の縦型IGBTの部分断面図

【図16】本発明実施例5の縦型ダイオードの部分断面図

【図17】本発明実施例6の縦型ダイオードの部分断面図

【図18】本発明実施例7の縦型ショットキーダイオードの部分断面図

【図19】従来の縦型MOSFETの部分断面図

【図20】従来の別の縦型MOSFETの部分断面図

【符号の説明】

- 1、4 フォトリソパターン
- 2 ほう素イオン
- 3 ほう素原子
- 5 磷イオン
- 6 磷原子
- 11、21、31、41、51 n^+ ドレイン層
- 12 n^- ドリフト層
- 13a、23a、33a、43a、53a p ベース領域
- 14、24、34、44、54 n^+ ソース領域

15、25、35、45、55 ゲート絶縁膜

16、26、36、46、56 ゲート電極層

17、27、37、47、57 ソース電極

18、28、38、48、58 ドレイン電極

22 ドリフト層

22a n ドリフト領域

22b p ドリフト領域

32、42、52、62、72、82、92 半導体基体領域またはドリフト層

32a、42a、52a、62a、72a、82a、92a n^- 高抵抗層

32b、42b、52b、62b、72b、82b、92b n 埋め込み領域

32c、42c、52c、62c、72c、82c、92c p 埋め込み領域

32d、42d n チャネル領域

33b、43b、53b p^+ ウェル領域

39、59 絶縁膜

61a p^+ ドレイン層

61b n^- バッファ層

71、81、91 n^+ カソード層

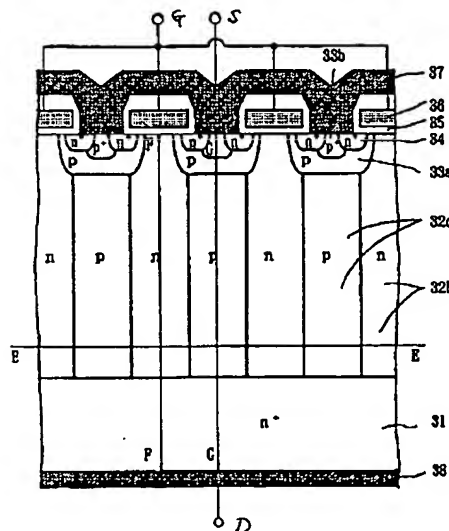
73、83 アノード層

77、97 カソード電極

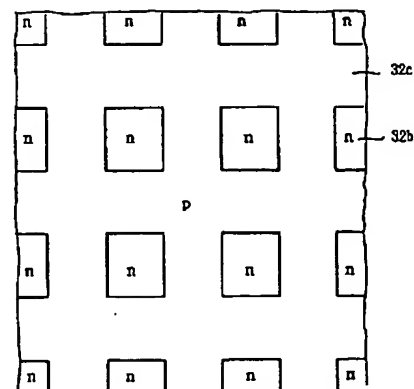
78 アノード電極

98 ショットキー電極

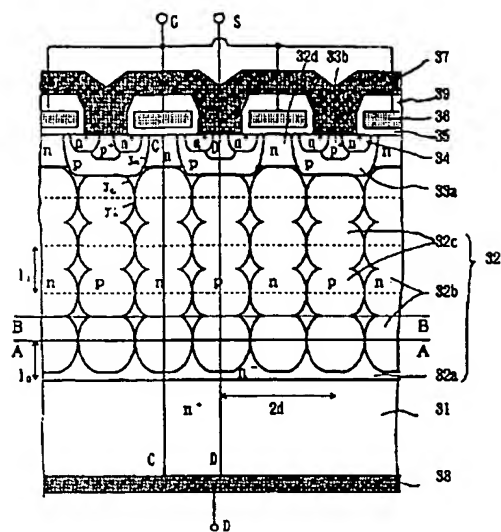
【図6】



【図7】

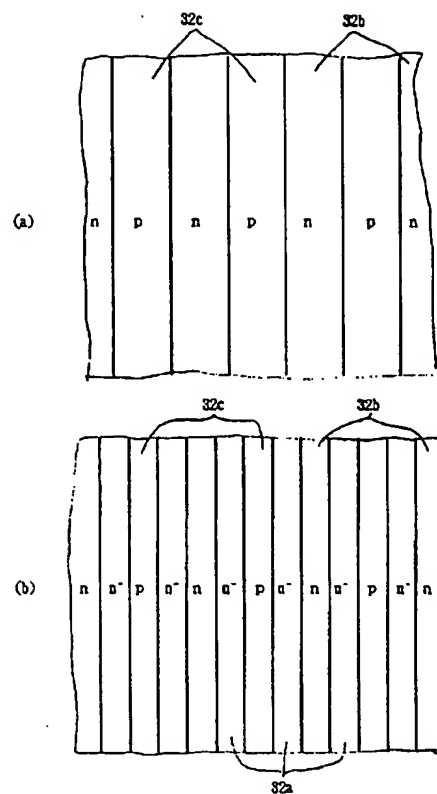


【図 1】

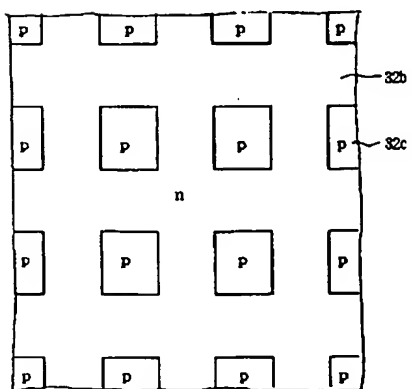


- | | |
|--------------------------|-------------------------|
| 31 n ⁺ ドレイン層 | 34 n ⁺ ソース領域 |
| 32 ドリフト層 | 35 ゲート酸化膜 |
| 32a n ⁻ 高低抗層 | 36 ゲート電極層 |
| 32b n 埋め込み領域 | 37 ソース電極 |
| 32c p 埋め込み領域 | 38 ドレイン電極 |
| 33a p ベース領域 | 39 絶縁膜 |
| 33b p ⁺ ウェル領域 | |

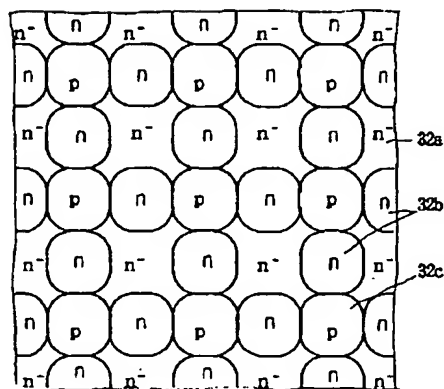
【図 2】



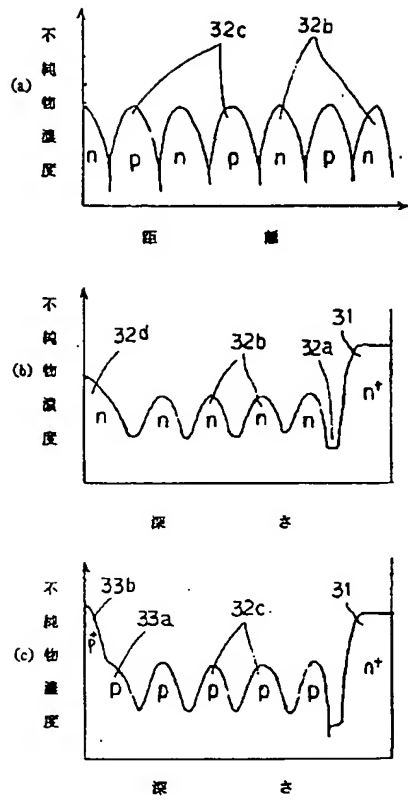
【図 8】



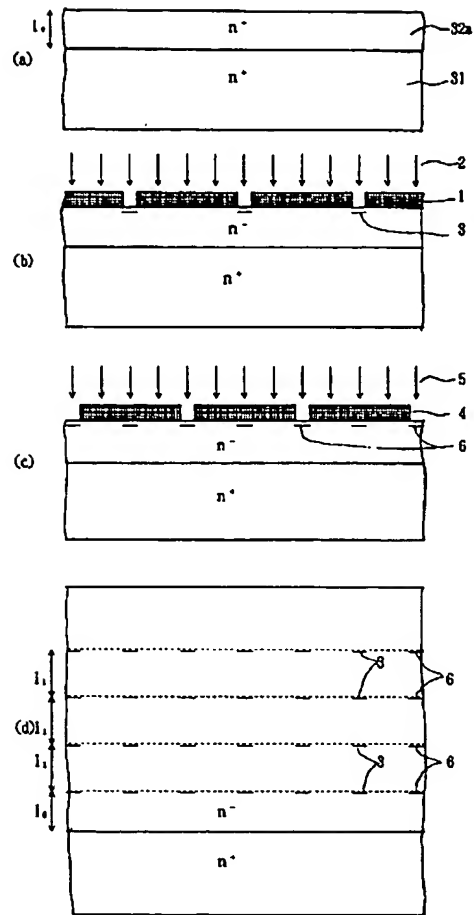
【図 9】



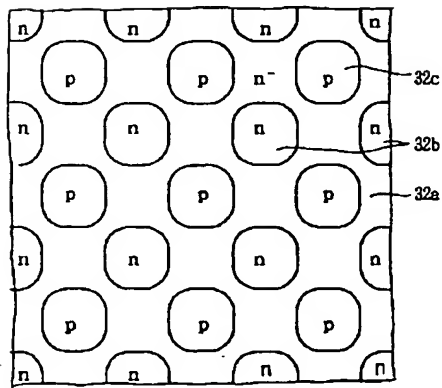
【図3】



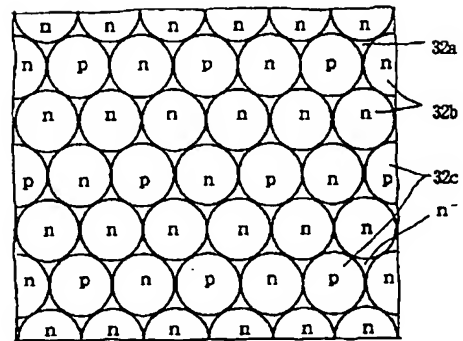
【图 4】



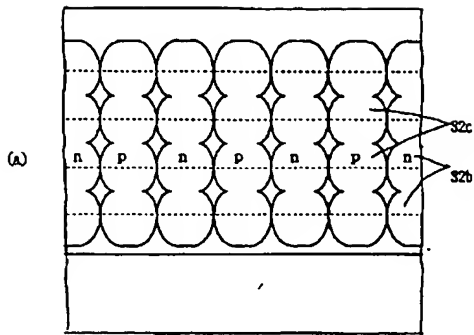
【図 10】



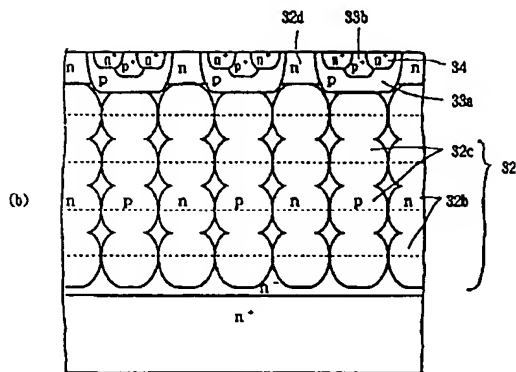
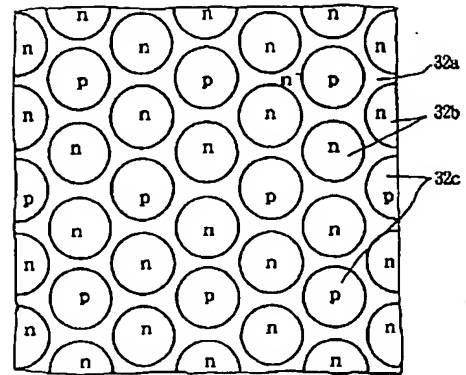
【圖 1 1】



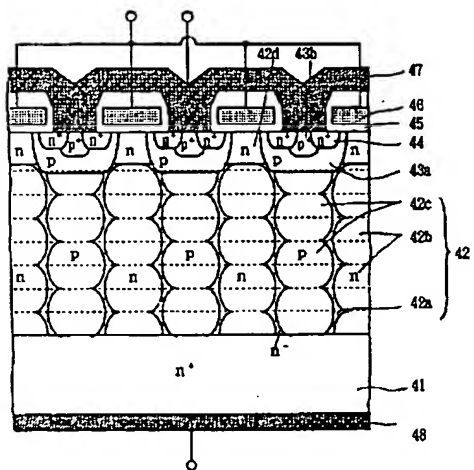
【図5】



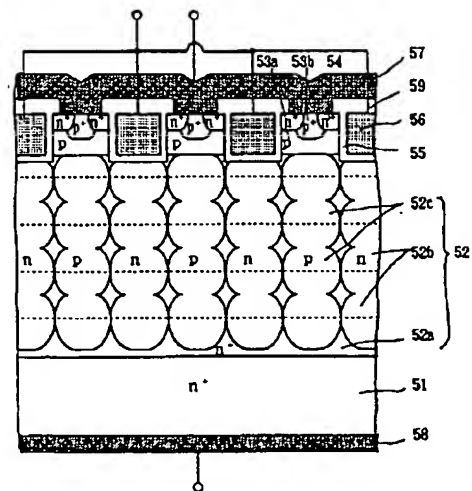
【図12】



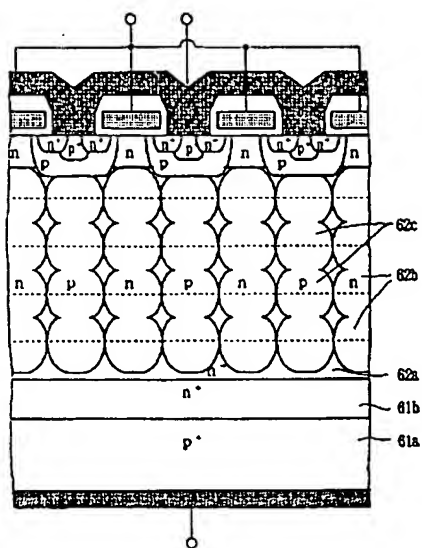
【図13】



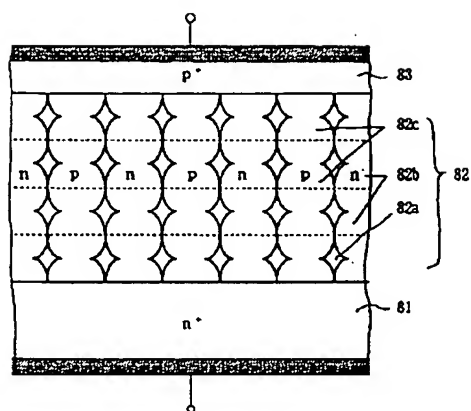
【図14】



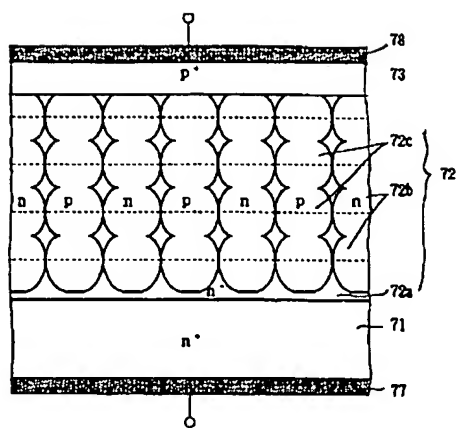
【図15】



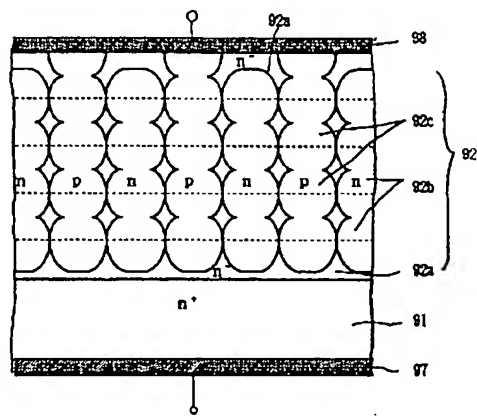
【図17】



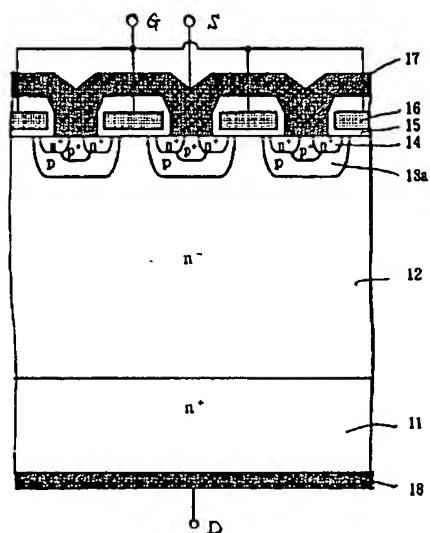
【図16】



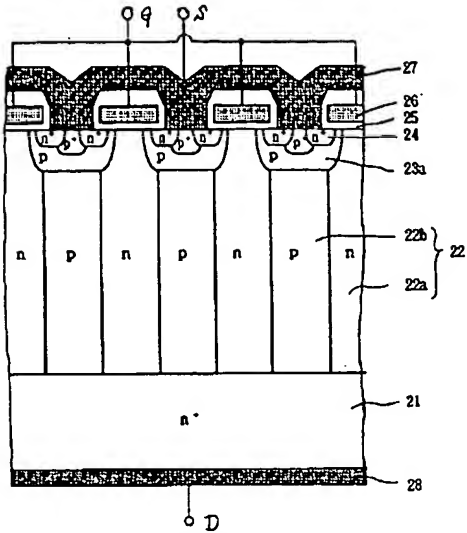
【図18】



【図19】



【図 20】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.